

⑫ 公開特許公報(A) 平3-121415

⑤ Int. Cl.⁸

G 02 F 1/133
G 09 G 3/20
H 04 N 5/66

識別記号

5 5 0

R

庁内整理番号

7709-2H
8621-5C
8621-5C
7605-5C

④ 公開 平成3年(1991)5月23日

審査請求 未請求 請求項の数 5 (全17頁)

⑭ 発明の名称 ディスプレイ装置

⑯ 特 願 平1-255271

⑰ 出 願 平1(1989)10月2日

優先権主張 ⑱ 平1(1989)6月30日 ⑲ 日本(JP) ⑳ 特願 平1-169569

㉑ 発 明 者 新 屋 匡 子 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉒ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉓ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

ディスプレイ装置

2. 特許請求の範囲

(1) 垂直走査方向の複数のデータラインと水平走査方向の複数のアドレスラインとの交差部に複数の表示素子を接続した表示パネルと、前記複数のデータラインを1水平走査ライン分の画像信号に基づいて同時に駆動する第1の駆動回路と、前記複数のアドレスラインを順次駆動する第2の駆動回路とを有するディスプレイ装置において、前記第1の駆動回路は、

1水平走査ラインの画素数Nより少ないM個のD/A変換器と、

少なくとも1水平走査ライン分の入力デジタル画像信号を記憶保持し、前記M個のD/A変換器に入力デジタル画像信号のM画素分を同時に分配する動作を複数回繰返すデジタル記憶手段と、

前記D/A変換器から出力されるアナログ画

像信号を前記複数のデータラインに対応させて保持する少なくとも1水平走査ラインの画素数Nと同じ複数のサンプルホールド回路を有するアナログ保持手段と、

前記アナログ保持手段に保持されたアナログ画像信号を前記複数のデータラインに対して同時に出力する手段と

を具備することを特徴とするディスプレイ装置。

(2) 前記デジタル記憶手段は、少なくともnビット・N/M段のシフトレジスタ(nは入力デジタル画像信号1画素分のビット数)をM個有し、該M個のシフトレジスタはそれぞれ入力デジタル画像信号をM画素周期で且つ互いに1画素分ずつずれたタイミングで取込み、取込んだ順にデジタル画像信号を出力するものであることを特徴とする請求項1記載のディスプレイ装置。

(3) 前記デジタル記憶手段は、少なくともnビット・N段のシフトレジスタ(nは入力デジタル画像信号1画素分のビット数)からな

り、該シフトレジスタは入力デジタル画像信号を順次取込み、且つ所定のM個の段からデジタル画像信号を出力するものであることを特徴とする請求項1記載のディスプレイ装置。

(4) 垂直走査方向の複数のデータラインと水平走査方向の複数のアドレスラインとの交差部に複数の表示素子を接続した表示パネルと、前記複数のデータラインを1水平走査ライン分の画像信号に基づいて同時に駆動する第1の駆動回路と、前記複数のアドレスラインを順次駆動する第2の駆動回路とを有するディスプレイ装置において、前記第1の駆動回路は、

1水平走査ラインの画素数Nより少ないM個のD/A変換器と、

1水平走査ライン分の入力デジタル画像信号に対し、該入力デジタル画像信号をM画素ずつ記憶保持して前記M個のD/A変換器に同時に分配する動作を複数回繰返すデジタル記憶手段と、

前記D/A変換器から出力されるアナログ画

像信号を前記複数のデータラインに対応させて保持する少なくとも1水平走査ラインの画素数Nと同じ複数のサンプルホールド回路を有するアナログ保持手段と、

前記アナログ保持手段に保持されたアナログ画像信号を前記複数のデータラインに対して同時に出力する手段と

を具備することを特徴とするディスプレイ装置。

(5) 前記デジタル記憶手段は、記憶保持したデジタル画像信号を前記D/A変換器に分配する手段としてマルチプレクサを有することを特徴とする請求項1、2、3または4記載のディスプレイ装置。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

この発明はマトリックス型表示パネルを用いたディスプレイ装置に係り、特に表示パネルのデータラインを駆動する駆動回路に関する。

〔従来の技術〕

液晶を表示素子とするマトリックス型表示パネルを用いたディスプレイ、特にアクティブマトリックス型液晶ディスプレイ装置は、一般的に第19図のように構成される。

第19図において、マトリックス型表示パネル1は垂直走査方向(Y方向)に延びた複数のデータライン2と、水平走査方向(X方向)に延びた複数のアドレスライン3との交差部に、マトリックス配列された複数の液晶表示素子を接続したものである。液晶表示素子として、図には液晶に印加する駆動電圧を保持するキャパシタ4と、このキャパシタへの駆動電圧の供給を制御するスイッチ素子5のみが示されているが、実際には他にキャパシタ4に保持された駆動電圧が印加される画素対応の表示電極と、これに対向する透明共通電極と、これら表示電極と透明共通電極の層の間に挟まれた液晶層が設けられることにより、マトリックス型表示パネル1が構成される。

X駆動回路6はデータライン2を画像信号に応じて駆動する回路であり、またY駆動回路7はアドレスライン3を走査信号に応じて駆動する回路である。すなわち、X駆動回路6は1水平走査ライン分の画像信号を受けて複数のデータライン2を同時に駆動し、Y駆動回路7はデータライン2が1回駆動される毎にアドレスライン3を1本ずつずらせて駆動する。これにより表示パネル1は1水平走査ライン単位に、いわゆる線順次方式で駆動される。

ここで、ディスプレイ装置に入力される画像信号がデジタル信号の場合、X駆動回路6はD/A変換機能を持ち、入力デジタル画像信号をアナログ画像信号に変換してからデータライン2を駆動する必要がある。従来のD/A変換機能を持つX駆動回路は、入力デジタル画像信号を1水平走査ライン分記憶保持するためのN段のシフトレジスタおよびN個のラッチ回路と、N個のラッチ回路の出力を受けてアナログ信号に変換するN個のD/A変換器により構

成されている。

このような構成のX駆動回路では、1水平走査ラインの画素数Nと同数のD/A変換器を必要とする。このため入力デジタル画像信号の1水平走査ラインの画素数Nが多くなったり、1画素当たりのビット数が多くなると、X駆動回路の回路規模が非常に大きくなってしまい、IC化する場合、チップ面積が増大する。

一方、入力画像信号がアナログ信号の場合、X駆動回路は1水平走査ライン分の画像信号を並列に設けられたN個のサンプルホールド回路で順次保持し、データライン2へ同時に出力する構成がとられる。この場合、N個のサンプルホールド回路には、画像信号が共通に入力されるため、1水平走査ラインの画素数Nが多くなり、入力画像信号が高速になると、対応する画素の画像信号のみをサンプルホールドするように、サンプルホールド回路のサンプル時間を十分に短くしなければならない。

サンプルホールド回路のサンプル時間を小さ

くするためには、サンプル用トランジスタ（通常MOSトランジスタ）のゲート幅を大きくして抵抗を小さくするか、またはホールド用キャパシタの容量を小さくする必要があり、サンプルホールド回路のオフセット電圧が大きくなる。すなわち、サンプルホールド回路のサンプル時間とオフセット電圧は相反する関係にあり、サンプル時間を短くしようとするとオフセット電圧が増大して、画質が劣化してしまう。

（発明が解決しようとする課題）

上述したように、従来のデジタル画像信号を入力とする液晶ディスプレイ装置では、マトリックス型表示パネルのデータラインを画像信号に応じて駆動する駆動回路に、1水平走査ラインの画素数と同じ数のD/A変換器を必要とするため、1水平走査ラインの画素数が多くなったり、入力デジタル画像信号の1画素当たりのビット数が増えるに従い駆動回路の回路規模が増大し、IC化に不利となる。

また、アナログ画像信号を入力とするもので

は、入力される1水平走査ライン分の画像信号をサンプルホールド回路で順次保持する必要があるため、1水平走査ラインの画素数が多くなり、入力画像信号が高速になると、サンプルホールド回路のサンプル時間を小さくしなければならず、オフセット電圧が増大するという問題があった。

本発明は、入力デジタル画像信号に応じてマトリックス型表示パネルのデータラインを駆動する駆動回路におけるD/A変換器を1水平走査ラインの画素数より少なくして回路規模の削減を図ることができ、またアナログ画像信号を保持する保持手段の動作速度を遅くしてオフセット電圧を小さくできるディスプレイ装置を提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

本発明は上記の目的を達成するため、データラインを駆動するための第1の駆動回路において、1水平走査ラインの画素数よりも少ない数

のD/A変換器を1水平走査ライン分の入力デジタル画像信号に対して重複使用し、その都度得られたD/A変換結果をアナログ的に保持し、1水平走査ライン分のアナログ画像信号が蓄積された段階でデータラインに同時に出力するようにしたものである。

より具体的には、第1の駆動回路は1水平走査ライン分の入力デジタル画像信号の画素数Nより少ないM個のD/A変換器と、少なくとも1水平走査ライン分の入力デジタル画像信号を記憶保持し、M個のD/A変換器に入力デジタル画像信号のM画素分を同時に分配する動作を複数回繰返すデジタル記憶手段と、D/A変換器から出力されるアナログ画像信号を複数のデータラインに対応させて保持する少なくとも1水平走査ラインの画素数Nと同じ複数個のサンプルホールド回路を有するアナログ保持手段と、このアナログ保持手段に保持されたアナログ画像信号を複数のデータラインに対して同時に出力する手段とを具備する。

また、他の例によれば1水平走査ライン分の入力デジタル画像信号に対し、該入力デジタル画像信号をM画素ずつ記憶保持してM個のD/A変換器に同時に分配する動作を複数回繰返すデジタル記憶手段が備えられる。

(作用)

本発明では1水平走査ラインの入力デジタル画像信号を1水平走査ラインの画素数Nより少ないM個のD/A変換器にN/M回入力してアナログ信号に変換するため、D/A変換器の数が減少して回路規模が縮小され、IC化に適した構成となる。

また、M個のD/A変換器の各々にデジタル画像信号が入力される周期はM画素周期以上の周期であり、アナログ保持手段を構成するサンプルホールド回路では、D/A変換器の出力をM画素周期以上の周期でサンプルすればよいから、サンプル時間を長くとることができ、オフセット電圧の低減が図られる。

る。

入力デジタル画像信号 D_{in} は、 $M-4$ 個のシフトレジスタ13の初段に入力され、シフトレジスタ13の終段から順次出力される。

端子12には入力デジタル画像信号 D_{in} に同期したクロック信号 CK が入力され、タイミング発生回路14に供給される。タイミング発生回路14はシフトレジスタ13への転送クロック $S_1 \sim S_4$ 、サンプルホールド回路16へのサンプルパルス $P_1 \sim P_N$ 及びD/A変換器15への変換用クロック等を発生する。なお、タイミング発生回路14からD/A変換器15への結線は図示されていない。

出力バッファ17は端子18から入力される出力イネーブル信号 OE によって、サンプルホールド回路16の出力を第9図のデータライン2へ同時に出力するものである。

第2図は入力デジタル画像信号 D_{in} とD/A変換器15の動作及び出力イネーブル信号 OE の関係を示したものである。同図に示す

(実施例)

以下、図面を参照して本発明の実施例を説明する。

第1の実施例

第1図は本発明の第1の実施例におけるX駆動回路(第1の駆動回路)の内部構成を示したものである。また、第2図及び第3図は第1図の駆動回路の動作を示すタイミング図である。

第1図に示す駆動回路は、端子11に入力される1ライン分の入力デジタル画像信号 D_{in} を記憶保持するデジタル記憶手段としての n ビット・ N/M 段のM個のシフトレジスタ13、タイミング発生回路14、M個のD/A変換器15、N個のサンプルホールド回路16及びN個の出力バッファ17により構成される。

ここで、 n は入力デジタル画像信号 D_{in} の1画素当たりのビット数、 N は1水平走査ラインのビット数(これは第9図におけるデータライン2の数に等しい)、 M はD/A変換器15の個数であり、この例では $n=8$ 、 $M=4$ であ

ように、 $M=4$ 個のD/A変換器15は1水平走査ライン分の入力デジタル画像信号 D_{in} が入力されると、連続する $M=4$ 画素分のデータ $D_1 \sim D_{1.3}$ ($i=0,1,2,\dots,N-1$)を変換する動作を N/M 回繰返して、1水平走査ライン分のD/A変換処理を終了する。但し、D/A変換器15に入力されるデジタル画像信号は、シフトレジスタ13を経由しているため、同図に示すように端子11に入力されるデジタル画像信号 D_{in} より1水平走査期間だけ遅れる。

D/A変換器15が1水平走査ライン分のデジタル画像信号をD/A変換し、得られたアナログ画像信号をサンプルホールド回路16が保持し終わると、水平同期期間に出力イネーブル信号 OE により出力バッファ17を介して1水平走査ライン分のアナログ画像信号がデータラインに同時に出力される。

この動作を第3図により詳細に説明する。第3図に示すように、4個のシフトレジスタ13に供給される転送クロック $S_1 \sim S_4$ は、クロ

ック信号CKの周期の4倍の周期であり、且つクロック信号CKの1周期分ずつ順次位相がずれている。4個のシフトレジスタ13はこのような転送クロックS1～S4により転送動作し、それぞれデジタル画像信号Dinを4画素周期で、且つ互いに1画素分ずつずれたタイミングで初段からそれぞれ取込む。そして、シフトレジスタ13はデジタル画像信号を取込んだ順に終段から出力する。

すなわち、4個のシフトレジスタ13はまず最初1～4画素目のデータD₀～D₃、次に5～8画素目のデータD₄～D₇、次に9～12画素目のデータD₈～D₁₁のように、連続した4画素分のデータを順次取込む。一つのシフトレジスタに注目すると、例えばD₀、D₄、D₈、…のように4画素毎のデータを取込み、これらを取込んだ順に出力することになる。子の様子は、4個のシフトレジスタ13の出力を示す第3図のQ₁～Q₄からも明らかである。なお、第3図のQ₁～Q₄の内容は、実際には

第3図の入力デジタル画像信号Dinの1水平走査期間前のデータである。

こうして4個のシフトレジスタ13からは、それぞれ4画素周期でデジタル画像信号のデータが出力され、これらが4個のD/A変換器15によりアナログ信号に変換される。D/A変換器15から出力されるアナログ画像信号は、サンプルホールド回路16に入力され、第3図のP₁、P₂、P₃、…に示すサンプルパルスによりサンプリングされてホールドされる。

サンプルホールド回路16は第9図のN本のデータライン2に1:1で対応しており、入力デジタル画像信号DinのデータD₀、D₁、D₂、…D_NをD/A変換したアナログ値がデータライン2上に正しく供給されるようにD/A変換器15に接続されている。すなわち、左から数えて第4k番目(k=1, 2, …N-4)のサンプルホールド回路は左から数えて第1番目のD/A変換器に、第4k+1番目のサンプルホールド回路は第2番目のD/A変換器に、

第k+2番目のサンプルホールド回路は第3番目のD/A変換器に、第4k+3番目のサンプルホールド回路は第4番目のD/A変換器に、それぞれ接続されている。

D/A変換器13で連続する4画素分のデータをD/A変換する動作がN/4回繰返され、N個のサンプルホールド回路16に1水平走査ライン分のアナログ画像信号が保持され終わると、水平同期期間において端子18に出力インエーブル信号OEが入力され、出力バッファ17がオンとなることにより、データライン2に同時にアナログ画像信号が出力される。

上記の構成によれば、X駆動回路の構成要素の中でも特に大きな部分を占めるD/A変換器13の数Mが1水平走査ラインの画素数Nより少ないため、1水平走査ラインの全画素に対応してD/A変換器を必要とする従来のX駆動回路に比較して、回路規模が大きく削減される。従って、IC化する場合、チップ面積を小さくすることができる。

また、N個のサンプルホールド回路16は、それぞれD/A変換器13からのアナログ画像信号がM画素周期でゆっくりと入力されるため、入力のアナログ画像信号がそのままの周期(1画素周期)でサンプルホールド回路に共通に入力される従来の方式に比較して、サンプル時間はM倍でよい。従って、サンプル時間短縮のためにサンプル用MOSトランジスタのゲート幅を大きくしたり、ホールド用キャパシタの容量を小さくする必要がないので、サンプルホールド回路16のオフセット電圧を小さく抑えることができる。

第2の実施例

第4図は本発明の第2の実施例に係るX駆動回路であり、第1図におけるサンプルホールド回路16及び出力バッファ17に代えて、二重保持機能を有するサンプルホールド回路19を用いた点が第1の実施例と異なる。

第1の実施例ではサンプルホールド回路16の出力は出力バッファ17を介して水平同期期

間中にデータラインに転送される構成となっていた。これに対し、この第2の実施例ではサンプルホールド回路19の二重保持機能を利用して、次の1水平走査ラインのアナログ画像信号をサンプルホールド回路19に取込んでいる間に、現ラインのアナログ画像信号をデータラインに出力する構成となっている。

従って、データラインに画像信号を出力している時間が長くなるので、第9図のキャパシタ4により多くの画像信号電荷を蓄積でき、ノイズ電荷の影響を受けないより高品位の表示が可能となる。また、データラインへの出力のスループートを下げることができ、消費電力を低減することができる。

第5図、第6図及び第7図は、二重保持機能を持つサンプルホールド回路の具体例を示したものである。第5図においては、まず制御信号aにより第1のサンプル用スイッチ51がオン状態となり、アナログ画像信号が第1のホールド用キャパシタ53に保持される。この時、第

2のサンプル用スイッチ52はオフ状態にあり、また第2のホールド用キャパシタ54には1水平走査ライン前の画像信号が保持されており、出力バッファ55を介して対応するデータラインに出力され続けている。1水平走査ライン分の画像信号がD/A変換され終わると、水平同期期間に制御信号bにより第2のサンプル用スイッチ52がオン状態となり、それまで第1のホールド用キャパシタ53に保持されていた画像信号が第2のキャパシタ54に転送される。

第6図においては、まず制御信号aにより第1のサンプル用スイッチ61がオン状態となり、アナログ画像信号が第1のホールド用キャパシタ65に保持される。この場合、制御信号c、c'によって第2のサンプル用スイッチ62はオフ状態、第4のサンプル用スイッチ64はオン状態にあり、また第2のホールド用キャパシタ66には1水平走査ライン前の画像信号が保持されており、出力バッファ67を介して対応するデータラインに出力され続けている。

次の1水平走査期間では、制御信号a'により第3のサンプル用スイッチ63がオン状態となり、第2のホールド用キャパシタ66に画像信号が保持されるとともに、制御信号c、c'が共に反転することにより第2のサンプル用スイッチ62がオン状態、第4のサンプル用トランジスタ64がオフ状態となって、それまで第1のホールド用キャパシタ65に保持されていた画像信号が出力バッファ67を介して出力される。

第7図においては、まず制御信号aにより第1のサンプル用スイッチ71がオン状態となり、アナログ画像信号が第1のホールド用キャパシタ73に保持される。この時、制御信号aにより第2のサンプル用スイッチ72はオフ状態、また制御信号c、c'によって第1の出力バッファ75はオフ状態、第2の出力バッファ76はオン状態にあり、第2のホールド用キャパシタ74に保持されていた1水平走査ライン前の画像信号が対応するデータラインに出力され続

けている。

次の1水平走査期間では、制御信号a'により第2のサンプル用スイッチ72がオン状態となり、第2のホールド用キャパシタ74に画像信号が保持されるとともに、制御信号c、c'が共に反転して第1の出力バッファ75はオン状態、第2の出力バッファ76はオフ状態となり、第1のホールド用キャパシタ73に保持されていた画像信号が出力バッファ67を介して出力される。

第3の実施例

次に、第8図を参照して本発明の第3の実施例を説明する。第1図及び第4図に示した実施例では、1水平走査ライン分の入力デジタル画像信号を記憶保持する手段としてM=4個のシフトレジスタを用いたが、この第3の実施例ではnビット・N段のシフトレジスタ20を用いている。入力デジタル画像信号Dinは、シフトレジスタ20に初段から取込まれ、終段側のM段(この例ではM=4)から出力され、

M=4個のD/A変換器15に入力される。

この場合、D/A変換器15に連続したM画素分のディジタル画像信号が入力され、それに伴ないD/A変換器15から出力されるアナログ画像信号が、対応するM個のサンプルホールド回路16によってサンプルホールドされた後、シフトレジスタ20がM回転送動作をしてから、D/A変換器15から出力される次のM画素分のアナログ画像信号が、対応するサンプルホールド回路16によってサンプルホールドされる。

以下、同様の同様の動作が繰返され、サンプルホールド回路16に1水平走査ライン分のアナログ画像信号が保持され終わった時点で、出力イネーブル信号OEにより水平同期期間に出力バッファ17がオン状態となり、データラインにアナログ画像信号が同時に出力される。

なお、サンプルホールド回路16及び出力バッファ17を第2の実施例と同様の二重保持機能を持つサンプルホールド回路19に置き換えてもよい。

示すタイミング図である。

第9図において、外部から同期クロックFCKとともに入力される入力ディジタル画像信号Dinは、この例では1画素が7ビットのデータであり、7ビット、20段のシフトレジスタ13に順次初段から入力され、同期クロックFCKによって右方向に順次シフトされる。なお、入力ディジタル画像信号Dinは、第17図の各集積回路チップ8、9、10、…に対して同時に供給される。但し、集積回路チップ8、9、10、…にそれぞれ入力されるディジタル画像信号Dinは、20画素分ずつ順次ずれているものとする。同期クロックFCKは入力ディジタル画像信号Dinの1画素毎に入力されるクロック信号であり、タイミング発生回路14にも供給される。

シフトレジスタ13のそれぞれの段の出力側には、7ビットのラッチ21が設けられている。ラッチ21は入力ディジタル画像信号DinがD₀、…D₁₉、D₂₀～D₃₉、…のように20画素分

本実施例によれば、第1及び第2の実施例と同様にD/A変換器の数が少なくて済み、回路規模を削減できるという効果が得られる。

また、シフトレジスタ20にラッチ機能を持たせるか、またはシフトレジスタ20のM個の出力段とD/A変換器15との間にラッチ回路やバッファを介在させて、シフトレジスタ20の転送動作中にD/A変換器15の入出力が変化しないようにすれば、サンプルホールド回路17のサンプル時間を先の実施例と同様に長くとることができ、オフセット電圧が小さく抑えられる。

第4の実施例

第9図は本発明の第4の実施例であり、X駆動回路を100本のデータラインを駆動する単位で集積回路化した場合の一つの集積回路チップの回路構成を示している。すなわち、例えば第17図に示すように一枚の表示パネル1に対して複数個の集積回路チップ8、9、10、…が設けられる。また、第10図は第9図の動作を

入力される毎にタイミング発生回路14から発生されるラッチクロックLCKにより、第10図にLA₀～LA₁₉で示すようにシフトレジスタ13にある20画素分のディジタル画像信号Dinを取り込みラッチする。すなわち、一つの7ビットラッチに注目すると、20画素おきの1画素分のディジタル画像信号を順次ラッチして行くことになる。

ラッチ21の出力側には、ラッチ21と同数（この場合、20個）のD/A変換器15が設けられている。D/A変換器15は、同期クロックFCKの20倍の周期（すなわちD/A変換器15の偶数倍の周期）でラッチ21から同時に入力されるディジタル値をアナログ信号に変換する。D/A変換器15から出力されたアナログ画像信号は、第10図に示すサンプルクロックSCK₀～SCK₁₉によって直ちにサンプルホールド回路16に保持される。

すなわち、まず最初の20画素の入力ディジタル画像信号D₀～D₁₉がD/A変換器15によ

りアナログ画像信号に変換され、サンプルホールド回路16の右から1番目～20番目に保持された後、次の20画素の入力デジタル画像信号 $D_{10} \sim D_{29}$ がD/A変換器15によりアナログ画像信号に変換され、サンプルホールド回路16の右から21番目～40番目に保持される。同様の動作が5回繰返されることによって、 $D_0 \sim D_{99}$ の100画素分の入力デジタル画像信号が全てD/A変換器15によりアナログ画像信号に変換され、サンプルホールド回路16に保持される。

第17図の各集積回路チップ8, 9, 10, ...は全て同様の動作を行なっているので、サンプルホールド回路16に100画素分のアナログ画像信号が保持された時点では、集積回路全体には1水平走査ライン分のアナログ画像信号が保持されていることになる。こうしてサンプルホールド回路16に保持されたアナログ画像信号は、サンプルホールド回路16にアナログ信号が全て保持され終わった時点で供給される図

シフトレジスタ13およびラッチ21は各画素に対応して設けられており、その個数は第11図の例ではそれぞれ100個である。この場合、集積回路チップ8, 9, 10, ...の接続は第18図に示すようになる。全てのシフトレジスタ13に入力デジタル画像信号 $D_{in}(D_0 \sim D_{99})$ が入力されると、外部からのラッチクロックLCKにより第12図に示すように D_{in} がラッチ21に一斉に転送される。

ラッチ21はこの例では5個ずつのブロックに分割され、その各ブロックの出力側にマルチプレクサ22が設けられている。マルチプレクサ22の個数はこの例では20個であり、その出力側にそれぞれD/A変換器15が設けられている。マルチプレクサ22にそれぞれ入力されている5画素分のデジタル画像信号は、ゆっくりと(最大、第12図に示すように1水平走査ラインのデジタル画像信号期間を一つのD/A変換器15が受け持つ入力デジタル画像信号の画素数で除した時間間隔で)、順次1

示しない出力イネーブル信号によって、出力バッファ17を介してデータライン2へ同時に出力される。

本実施例によれば、第1～第3の実施例と同様にD/A変換器15の数が1水平走査ラインの画素数Nより少ない上に、シフトレジスタ13およびラッチ21で構成されるデジタル記憶回路の数もNより少ないため、集積回路化する場合、よりチップ面積を小さくすることができる。また、シフトレジスタ13の段数が減ることにより、消費電力を小さく抑えることが可能である。

第5の実施例

第11図は本発明の第5の実施例であり、第4の実施例と同様にX駆動回路を100本のデータラインを駆動する単位で集積回路化した場合の一つの集積回路チップの回路構成を示している。第12図はその動作を示すタイミング図である。

この実施例では第1～第3の実施例と同様に、

画素分ずつD/A変換器15に出力され、アナログ画像信号に変換される。D/A変換器15から出力されるアナログ画像信号は、サンプルクロック $SCK_1 \sim SCK_{100}$ によって直ちにサンプルホールド回路16に保持される。

すなわち、ラッチ21に100画素分のデジタル画像信号がラッチされると、まず4画素おきの入力デジタル画像信号 D_0, D_4, \dots がマルチプレクサ22により選択されてD/A変換器15でアナログ画像信号に変換され、右端から4つおきのサンプルホールド回路16に保持される。次に、1画素ずれた4画素おきの入力デジタル画像信号 D_1, D_5, \dots がマルチプレクサ22で選択されてD/A変換器15でアナログ画像信号に変換され、右側の第2番目から4つおきのサンプルホールド回路16に保持される。以下、同様に入力デジタル画像信号 D_{in} がマルチプレクサ22で5画素ずつ同時に選択されてD/A変換器15でアナログ画像信号に変換された後、サンプルホールド回路

16に保持されることによって、最終的に $D_0 \sim D_{99}$ の100画素分の入力デジタル画像信号が全てD/A変換器15によりアナログ画像信号に変換され、サンプルホールド回路16に保持される。

第18図の各集積回路チップ8, 9, 10, …は、第17図と同様に全て同様の動作を行っているので、サンプルホールド回路16に100画素分のアナログ画像信号が保持された時点では、集積回路全体には1水平走査ライン分のアナログ画像信号が保持されていることになる。こうしてサンプルホールド回路16に保持されたアナログ画像信号は、サンプルホールド回路16にアナログ信号が全て保持され終わった時点で供給される出力イネーブル信号OEによって、出力バッファ17を介してデータライン2へ同時に出力される。

本実施例によれば、N個のサンプルホールド回路16において1水平走査ラインのデジタル画像信号期間を一つのD/A変換器15が受

け持つ入力デジタル画像信号の画素数で除した時間間隔まで長くサンプル時間をとることができるので、第1～第3の実施例と同様の効果が得られるほか、マルチプレクサ22によってデジタル画像信号DinをD/A変換器15に分配するため、D/A変換器15とサンプルホールド回路16との間のアナログ信号配線が複雑に交差することがなく、配線長が略均一となり、信号伝達特性のばらつきが少ないという利点がある。

第6の実施例

第13図は本発明の第6の実施例であり、第4および第5の実施例と同様にX駆動回路を100本のデータラインを駆動する単位で集積回路化した場合の一つの集積回路チップの回路構成を示している。この場合の集積回路チップ8, 9, 10, …の接続は、第17図となる。第14図は第13図の動作を示すタイミング図であり、斜線部分は一つの集積回路チップが受け持つ区間を示している。

この実施例ではシフトレジスタ13は第4の実施例と同様に7ビット・20個段であるが、ラッチ21は第5の実施例と同様に各画素に対応して設けられており、その個数は第11図の例では100個である。シフトレジスタ13に入力デジタル画像信号Dinが $D_0 \sim D_{99}$ のように20画素分入力される毎に、タイミング発生回路14から発生されるラッチクロックLCKによりラッチ21にデジタル画像信号が転送される。

ラッチ21に1水平走査ライン分の入力デジタル画像信号Din($D_0 \sim D_{99}$)が取り込まれると、ゆっくりと、すなわち最大第14図に示すように1水平走査ラインのデジタル画像信号期間を一つのD/A変換器15が受け持つ入力デジタル画像信号の画素数で除した時間間隔で、20個のD/A変換器15に順次1画素分ずつ出力され、アナログ画像信号に変換される。D/A変換器15から出力されるアナログ画像信号は、サンプルクロックSCKによ

って直ちに二重保持機能を有するサンプルホールド回路19に保持され、全てのサンプルホールド回路19に全ての画素のアナログ画像信号が保持されると、出力イネーブル信号OEによってデータライン2に出力される。

本実施例によれば、第5の実施例と同様の効果が得られるほか、シフトレジスタ13の数がNより少ないため、集積回路化に有利であり、消費電力も小さいという利点がある。

第7の実施例

第15図は本発明の第7の実施例であり、第6の実施例(第13図)におけるマルチプレクサ22を除去し、ラッチ21の出力を直接D/A変換器15に供給している。この場合、D/A変換器15とサンプルホールド回路19との間のアナログ信号配線は複雑になるが、マルチプレクサがないために第6の実施例に比較して回路規模が縮小され、集積回路化により有利となる。この場合の集積回路チップ8, 9, 10, …の接続は、第17図となる。また、第

16図は第15図の動作を示すタイミング図であり、斜線部分は一つの集積回路チップが受け持つ区間を示している。

なお、第4、5の実施例においても、サンプルホールド回路16を第5図～第6図に示したような二重保持機能を持つサンプルホールド回路19に置き換えることができる。

【発明の効果】

本発明によれば、必要なD/A変換器の数が少なく済むので、回路規模が削減され、駆動回路をIC化する場合に有利となる。

また、D/A変換器から出力されるアナログ画像信号をサンプルホールド回路にゆっくり入力することができるため、サンプルホールド回路のサンプル時間を長くとり、オフセット電圧を小さくすることができる。これにより画質向上を図ることが可能となる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示すブロック図、第2図及び第3図は第1図の動作を説明

するためのタイミング図、第4図は本発明の第2の実施例を示すブロック図、第5図、第6図及び第7図は第4図における二重保持機能を持つサンプルホールド回路の具体例を示す図、第8図は本発明の第3の実施例を示すブロック図、第9図は本発明の第4の実施例を示すブロック図、第10図は第9図の動作を説明するためのタイミング図、第11図は本発明の第5の実施例を示すブロック図、第12図は第11図の動作を説明するためのタイミング図、第13図は本発明の第6の実施例を示すブロック図、第14図は第13図の動作を説明するためのタイミング図、第15図は本発明の第7の実施例を示すブロック図、第16図は第15図の動作を説明するためのタイミング図、第17図および第18図は本発明において第1の駆動回路を集積回路化した場合の複数の集積回路チップの接続状態を示す概略図、第19図は従来のマトリックス型液晶表示パネルを用いたディスプレイ装置の概略構成を示す図である。

1…マトリックス型液晶表示パネル

2…データライン

3…アドレスライン

6…第1の駆動回路

7…第2の駆動回路

8, 9, 10…集積回路チップ

11…デジタル画像信号入力端子

13, 20…シフトレジスタ

(デジタル記憶手段)

15…D/A変換器

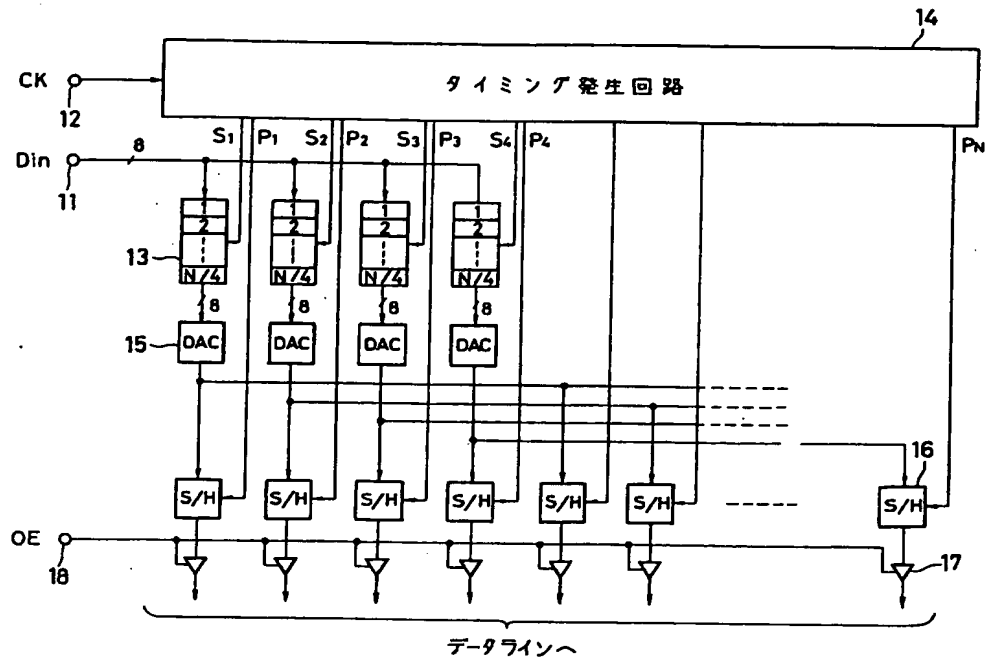
17, 19…サンプルホールド回路

(アナログ保持手段)

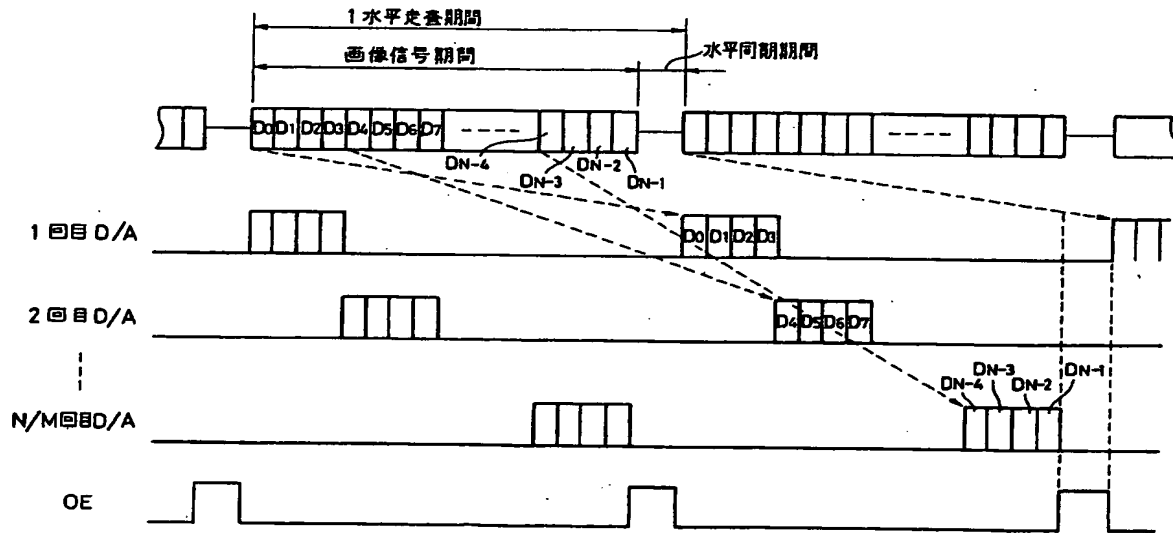
21…ラッチ(デジタル記憶手段)

22…マルチプレクサ

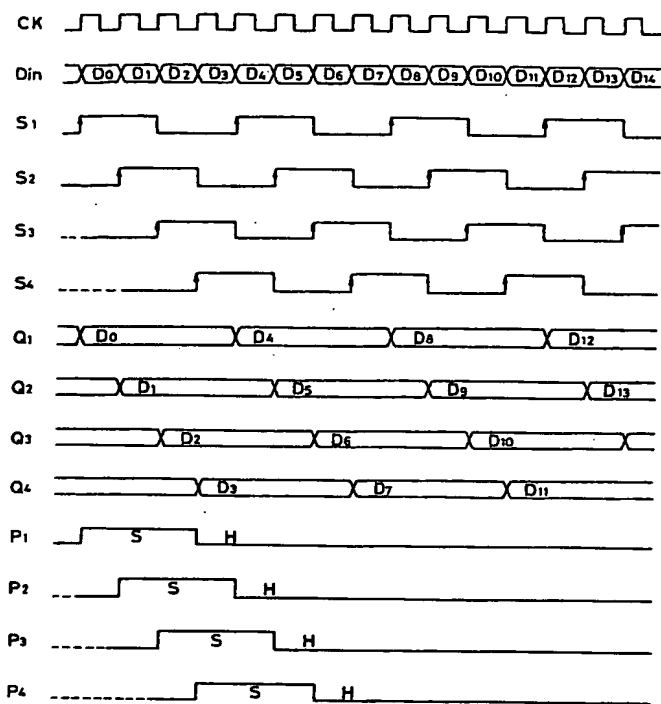
出願人代理人 弁理士 鈴 江 武 彦



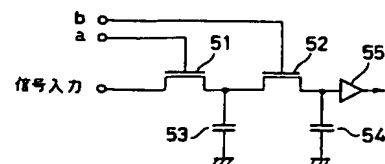
第 1 図



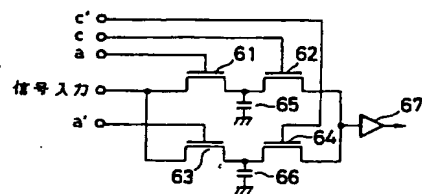
第 2 図



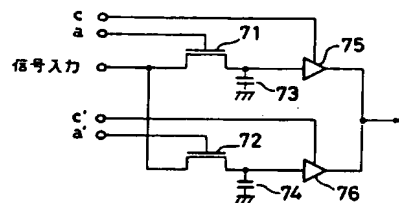
第 3 図



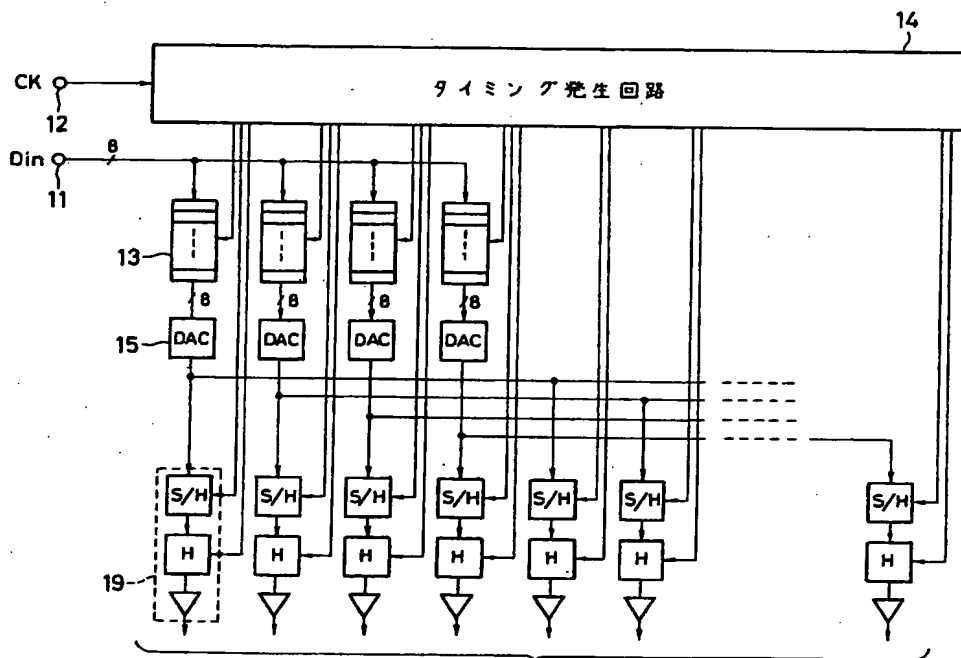
第 5 図



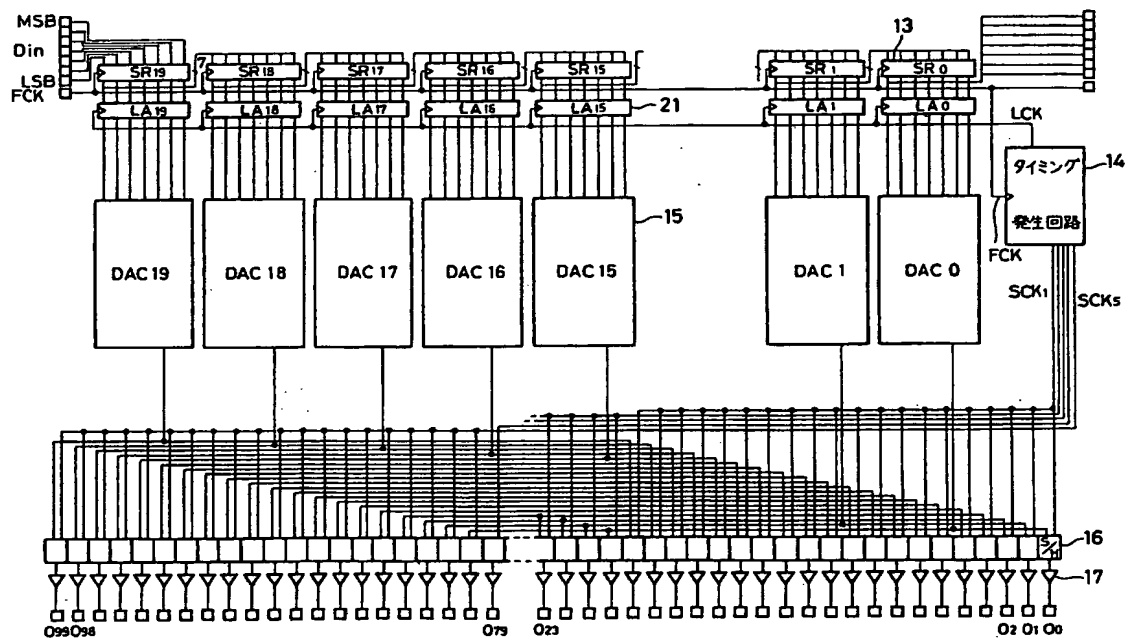
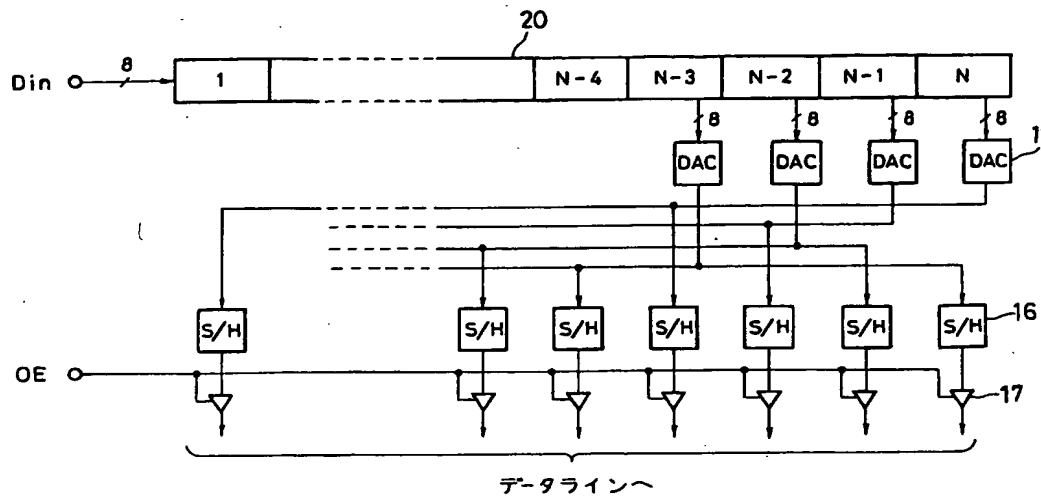
第 6 図

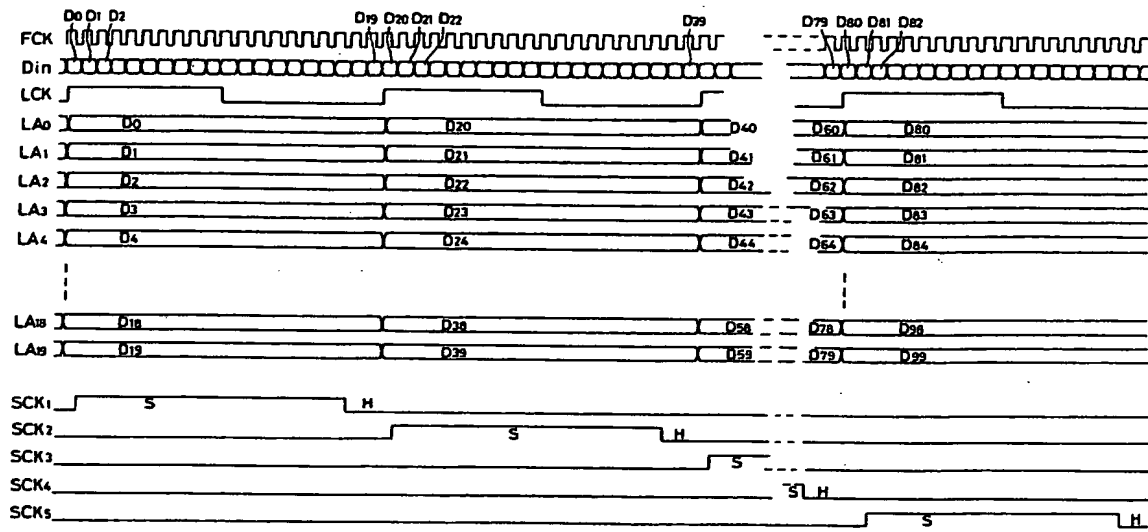


第 7 図

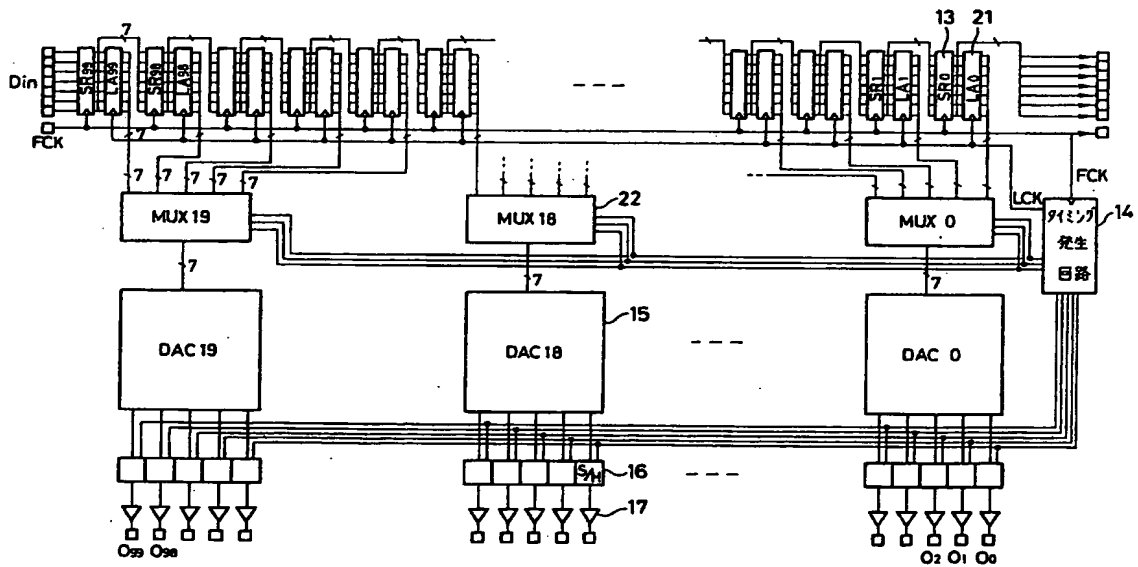


第 4 図

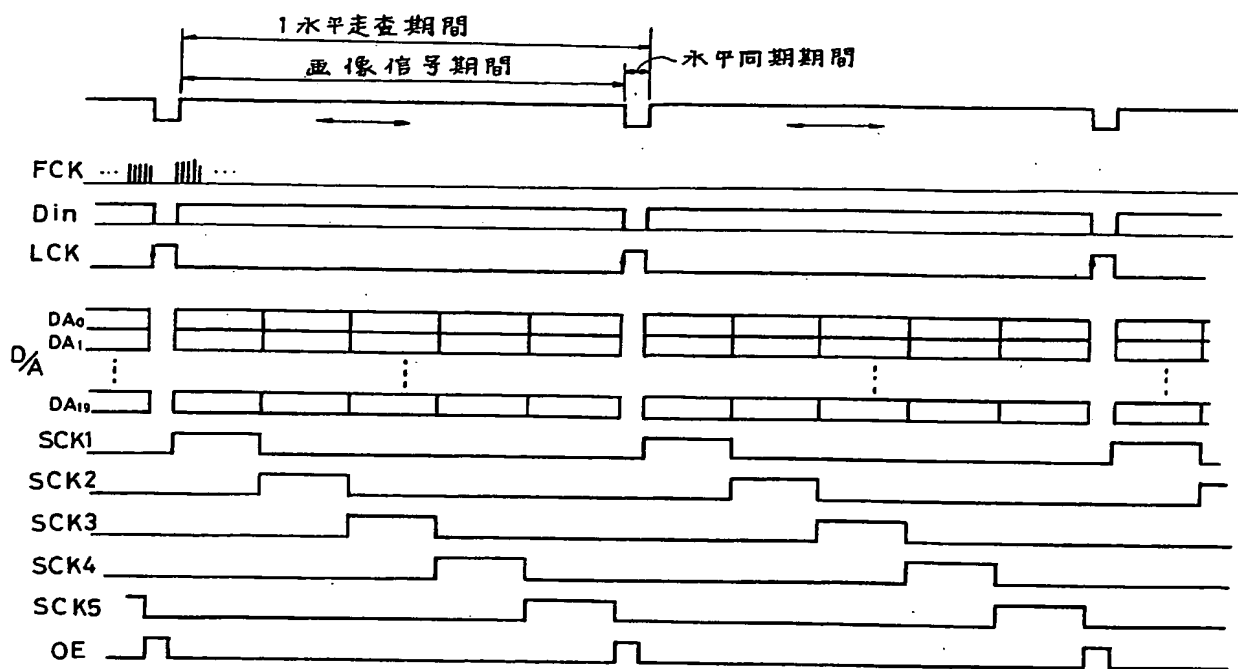




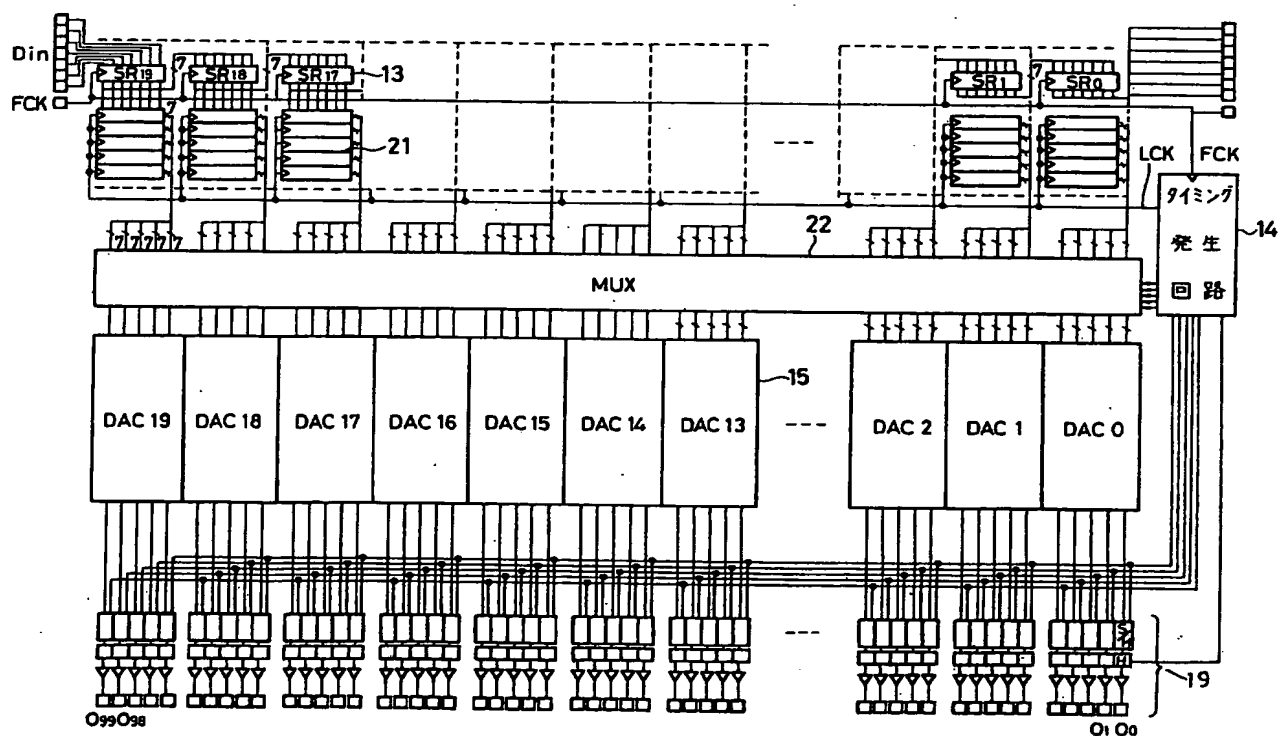
第 10 図



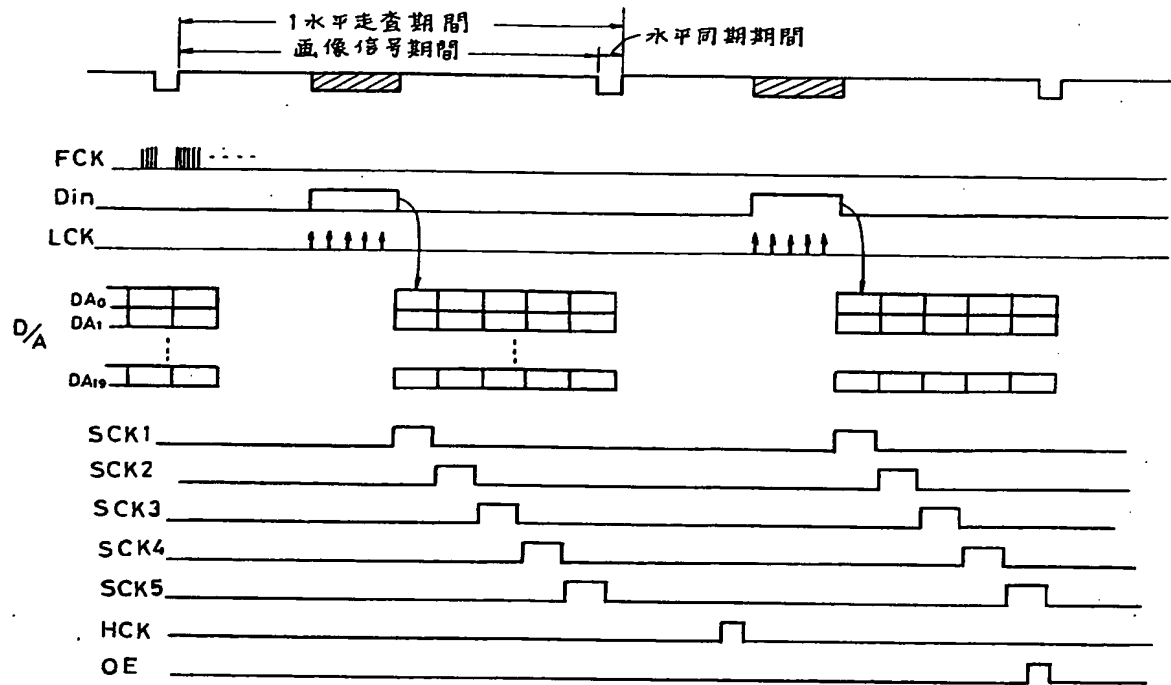
第 11 図



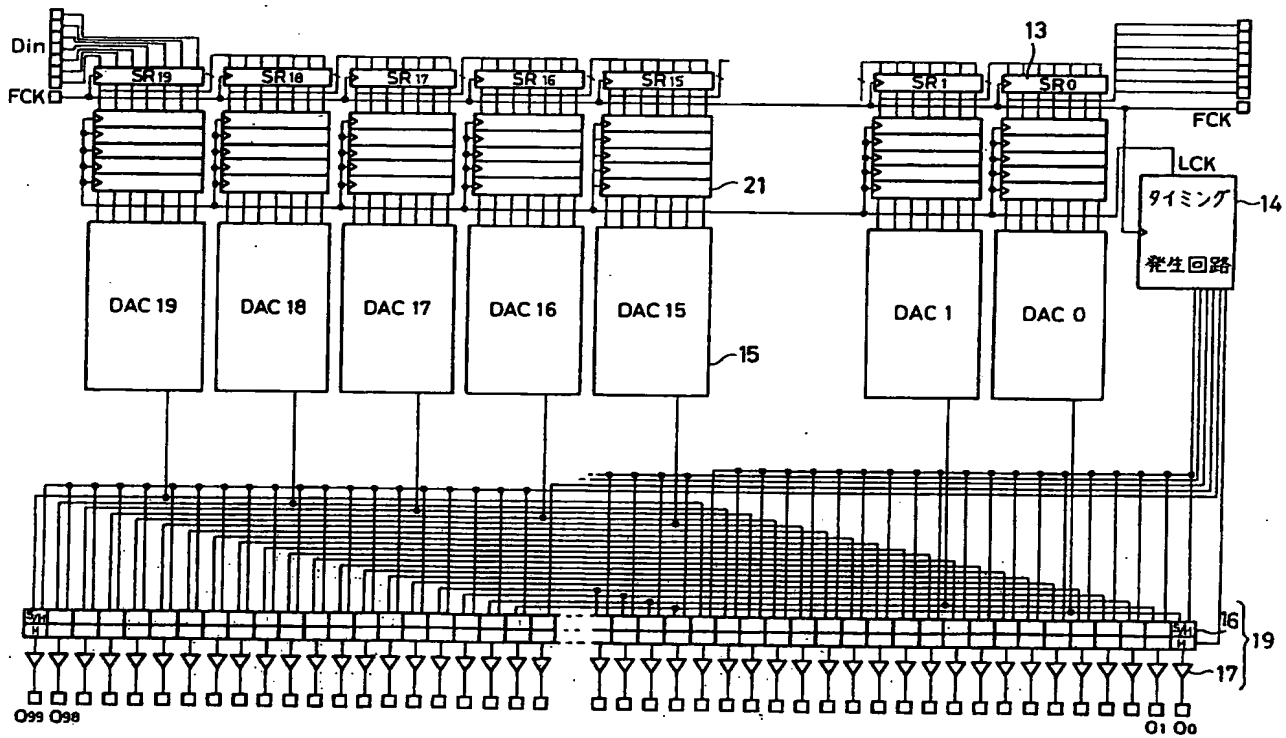
第 12 図



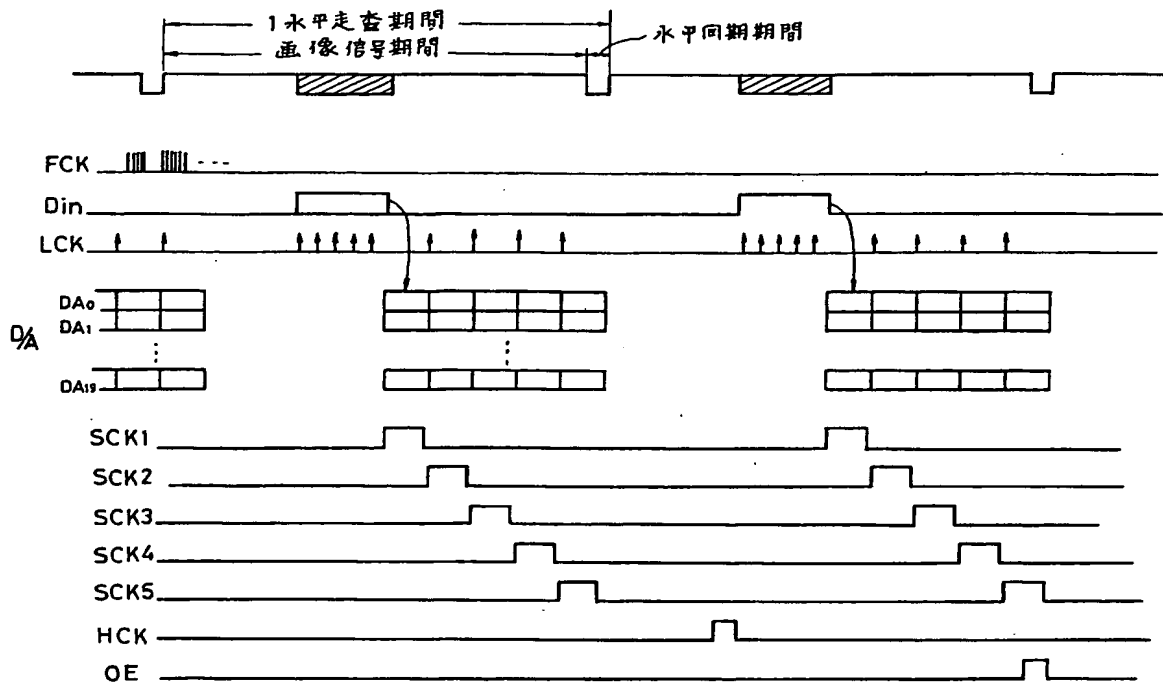
第 13 図



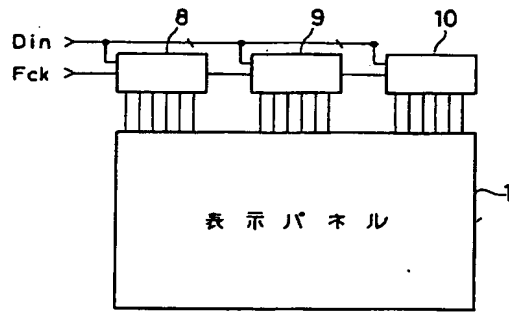
第 14 図



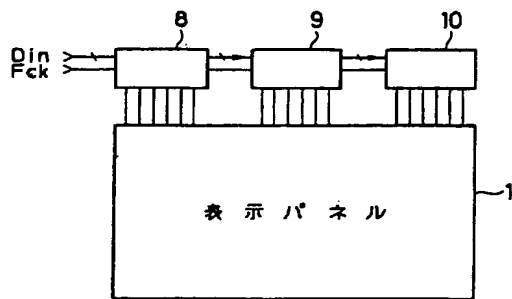
第 15 図



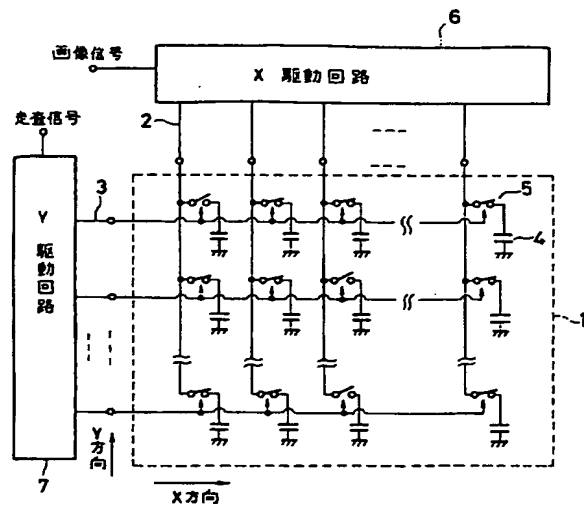
第 16 図



第 17 図



第 18 図



第 19 図